

## Введение

IP-ядро «ADC контроллер» (IP-Core «ADC Controller») предоставляет пользователям ряда FPGA модулей производства ЗАО «Скан Инжиниринг Телеком», занимающимся самостоятельной разработкой аппаратных платформ для FPGA микросхем, возможность работы с установленными на некоторые FMC модули микросхемами АЦП разных типов и производителей (например: ADS5400 или серии ADS62P4X производства Texas Instruments (TI), EV10AQ190A производства e2v Semiconductors и другими).

Основные задачи, решаемые IP-ядром «ADC контроллер», связаны с компенсацией разницы во временных задержках на всех физических цепях от FPGA до микросхемы АЦП, конвертацией принимаемых по последовательным интерфейсам от микросхем АЦП потоков данных в параллельные потоки данных, для передачи по параллельным шинам в формате AXI4-Stream, а также организацией непосредственного управления микросхемами АЦП по последовательным интерфейсам.

## Возможности

- Совместимость с интерфейсом AXI4
- Поддержка управляющей шины AXI4 в 32-х битном режиме
- Широкая поддержка аппаратных возможностей микросхем АЦП
- Обеспечение полной пропускной способности для всех каналов микросхем АЦП на интерфейсах AXI4-Stream при их одновременном использовании
- Максимальная гибкость при совместном использовании с пользовательскими блоками обработки цифровых потоков данных от АЦП за счёт использования интерфейса AXI4-Stream
- Полное управление и контроль состоянием микросхем АЦП посредством вышестоящей микропроцессорной системы, с возможностью использования механизма прерываний

## Данные IP-ядра

Особенности ядра	
Семейства поддерживаемых FPGA	Xilinx Virtex-6, Virtex-7
Поддерживаемые модули ЗАО «Скан Инжиниринг Телеком»	SVP-713/723/726 SAMC-713/715/717
Поддерживаемые пользовательские интерфейсы	AXI4, AXI4-Stream
Производительность	Полная для всех типов АЦП
Ресурсы	См. таблицу 1
Обеспечение ядра	
Файлы проекта	VHDL, Verilog
Пример проекта	Xilinx Vivado 2014.4, ISE-14.6
Тестирование	VHDL
Файлы настройки	XDC и UCF
Поддержка программных драйверов	Осуществляется на уровне библиотеки, написанной на языке «Си». Компиляции в Xilinx SDK для микропроцессора MicroBlaze.
Поддержка	
Обеспечивается SET <a href="http://www.setdsp.ru/support">www.setdsp.ru/support</a>	

## Обзор

Структурная схема IP-ядра «ADC контроллер» представлена на изображенной ниже функциональной блок-схеме. В соответствии со схемой IP-ядро «ADC контроллер» состоит из нескольких, связанных друг с другом функциональных блоков и отдельных аппаратных элементов FPGA микросхемы.

Для согласования с дифференциальными линиями данных и тактовой от микросхем АЦП используются аппаратные элементы FPGA «IBUFDS» с возможностью включения терминирования сигналов или без него в зависимости от электрической схемы включения. После электрического согласования сигналы поступают на регулируемый элемент задержки «IODELAY», основное назначение которого заключается в компенсации разницы во временных задержках на всех физических цепях от АЦП до FPGA из-за неидеальной трассировки печатной платы и наличия разброса временных параметров выводов микросхем.

В зависимости от типов АЦП выровненные данные поступают на различные аппаратные элементы FPGA. Элемент «IDDR» используется для низкоскоростных АЦП, типа ADS62P4X, и необходим для преобразования формата данных DDR в SDR. Элемент «ISERDES» используется для высокоскоростных АЦП, типа ADS5400 (EV10AQ190A), и необходим для преобразования формата данных DDR в SDR, а также снижения частоты следования в несколько раз.

Сигнал тактовой частоты от АЦП также обрабатывается по-разному, в зависимости от типов АЦП. Для низкоскоростных устройств используются аппаратные элементы FPGA, такие как «BUFIO» и «BUFR» без делителей. Для высокоскорост-

ных устройств элемент «BUFR» дополнительно делит входную частоту в 2, 4 или 8 раз для обеспечения работы элемента «ISERDES» и снижения выходной частоты следования данных AXI4-Stream.

После объединения данных со всех элементов «IDDR» («ISERDES») формируется выходной поток данных от АЦП в формате AXI4-Stream.

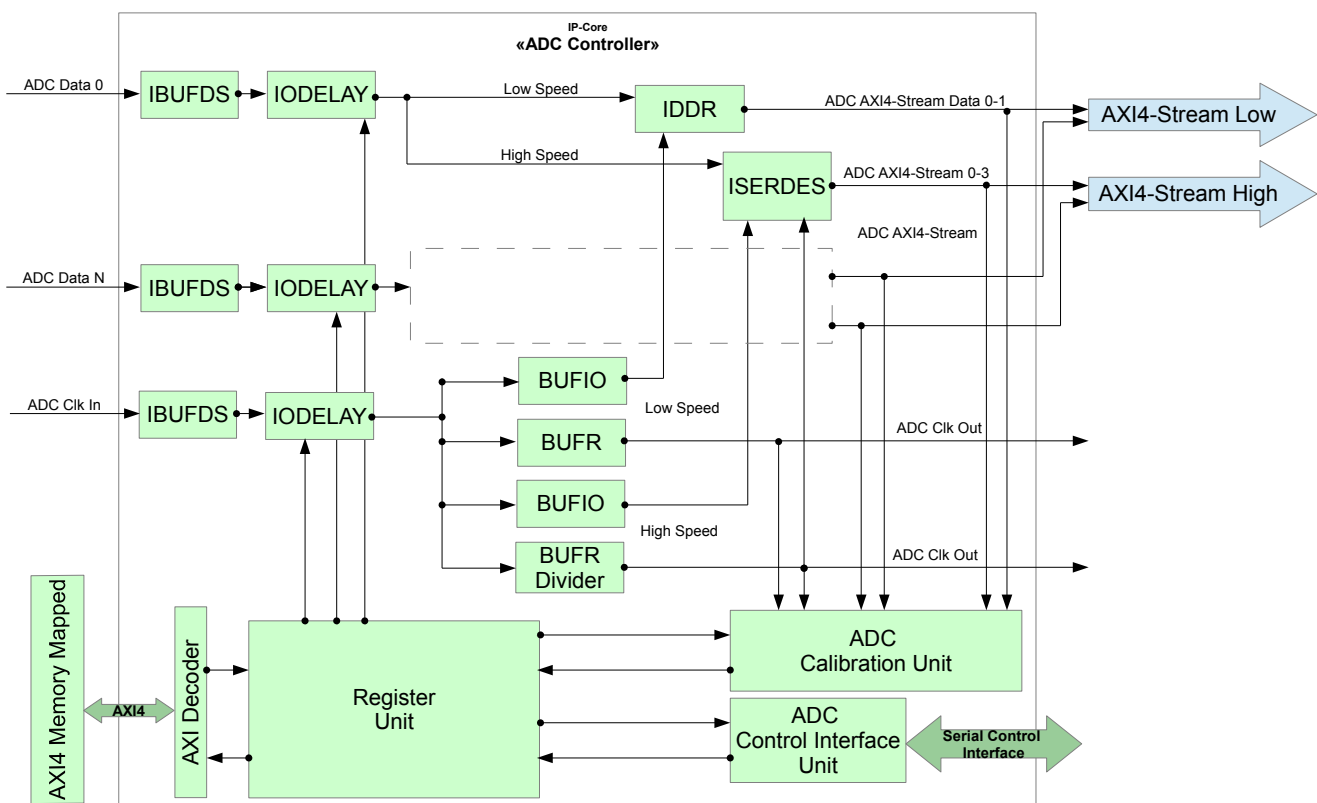
Блок подключения к AXI4 шине (AXI Decoder) обеспечивает взаимодействие IP-ядра «ADC контроллер» с AXI4 структурами. Через этот блок осуществляется доступ к значениям регистров блока регистров (Register Unit).

Блок регистров (Register Unit) реализует регистры управления и статуса работы IP-ядра, позволяет управлять программируемыми элементами задержки «IODELAY» через коммутаторы AXI4, для контроля качества принимаемых данных от АЦП, при изменении задержек, используется модуль «ADC Calibration Unit». Кроме того, для конфигурирования внутренних регистров микросхем АЦП по различным последовательным протоколам, добавляется блок контроля АЦП (ADC Control Interface Unit).

Интерфейс подключения IP-ядра «ADC контроллер» к AXI4 и AXI4-Stream структурам соответствует AMBA (Advanced Microcontroller Bus Architecture) совместимым AXI4 спецификациям.

Более подробно с описанием IP-ядра «ADC контроллер» можно ознакомиться в документе [1].

## Функциональная блок-схема



## Основные особенности

IP-ядро «ADC контроллер» входит в состав различных инфраструктур IP-ядер, отвечающих за поддержку работы FMC модулей производства ЗАО «Скан Инжиниринг Телеком» или может использоваться самостоятельно в составе подобных структур пользователя. Примером инфраструктур IP-ядер поддержки FMC модулей может выступать «Поддержка submodule SFM-4A250» (см. документ [2]).

IP-ядро «ADC контроллер» предназначено для максимально быстрой адаптации пользовательских блоков обработки цифровых потоков данных для совместной работы с АЦП. Это обеспечивается за счёт следующих особенностей:

- для передачи данных используют только AXI4-Stream интерфейсы в минимальной конфигурации без использования дополнительных пользовательских сигналов, что максимально упрощает понимание процессов протекающих при передаче данных от АЦП;
- все необходимые настройки проекта уже выполнены (физические выводы FPGA и временные констрейны), что значительно снижает время интеграции дополнительных элементов;
- IP-ядро обеспечивает максимальную производительность требуемую для передачи данных от АЦП без потерь;
- инфраструктура IP-ядер AXI4-Stream включает в себя все необходимые элементы для стандартных преобразований данных, библиотека которых постоянно наращивается компаниями Xilinx и ЗАО «Скан Инжиниринг Телеком»;
- интерфейс подключения IP-ядро «ADC контроллер» соответствует AMBA совместимым AXI4 спецификациям.

Таблица 1: Требуемые ресурсы для IP-ядра «ADC контроллер» - усреднённые для Virtex-7 и Virtex-6

АЦП	Slices	Registers	LUTs	Block RAM
ADS62P4X	274	815	460	0
ADS5400	390	950	650	0
EV10AQ190A	642	1767	1155	0

## Ограничения

Не поддерживается возможность торможения данных от АЦП. В случае невозможности обработки непрерывного потока AXI4-Stream необходимо использовать IP-ядра «AXI4-Stream Data FIFO».

## Лицензирование и информация для заказа

По вопросам приобретения и использования IP-ядра «ADC контроллер» обращайтесь в отдел продаж компании ЗАО «Скан Инжиниринг Телеком» по адресу [sales@setdsp.ru](mailto:sales@setdsp.ru).

## Ссылки

1. IP-ядро «ADC контроллер». Руководство пользователя. [UG-IP-ADC-CONT](#).
2. Инфраструктура IP-ядер «Поддержка submodule SFM-4A250». Техническое описание. [DS-IP-IS-SFM-4A250](#).

## Контактная информация



ЗАО «Скан Инжиниринг Телеком», Россия, 394030, г. Воронеж, ул. Свободы, 75  
Тел.: +7 (473) 272-71-01, факс.: +7 (473) 251-21-99  
[www.setdsp.ru](http://www.setdsp.ru)

### Электронная почта:

Отдел продаж: [sales@setdsp.ru](mailto:sales@setdsp.ru)  
Техническая поддержка: [support@setdsp.ru](mailto:support@setdsp.ru)

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2015  
Документ DS-IP-ADC-CONT 1.0 (27 мая 2015 г.) создан в ООО «Скан Инжиниринг Телеком - СПб». Все права защищены. © 2015

Информация в данном документе может быть изменена ЗАО «Скан Инжиниринг Телеком» без предварительного уведомления.