

Введение

IP-ядро «FMC контроллер» (IP-Core «FMC Controller») предоставляет пользователям FPGA модулей производства ЗАО «Скан Инжиниринг Телеком», занимающимся самостоятельной разработкой аппаратных платформ для FPGA микросхем, возможность управления набором микросхем, расположенным на ряде FMC модулей производства ЗАО «Скан Инжиниринг Телеком», подключенным к отдельной микросхеме управления на базе CPLD. Список FMC модулей, поддерживающих управление набором своих микросхем через отдельную CPLD приведен в таблице 1. Также в таблице 1 приводится список модулей FMC для которых предназначено IP-ядро «FMC контроллер».

Возможности

- Совместимость с интерфейсом AXI4
- Поддержка управляющей шины AXI в 32-х битном режиме
- Широкая поддержка аппаратных возможностей модулей FMC
- Обеспечение максимальной скорости управления при минимальных временных затратах программного обеспечения
- Управление и контроль состояния модулей FMC

Данные IP-ядра

Особенности ядра	
Семейства поддерживаемых FPGA	Xilinx Virtex-6, Virtex-7
Поддерживаемые модули ЗАО «Скан Инжиниринг Телеком»	SVP-713/723/726 SAMC-713/715/717
Поддерживаемые пользовательские интерфейсы	AXI4
Ресурсы	См. таблицу 2
Обеспечение ядра	
Файлы проекта	VHDL, Verilog
Пример проекта	Xilinx Vivado 2014.4, ISE-14.6
Тестирование	VHDL, Verilog
Файлы настройки	XDC и UCF
Поддержка программных драйверов	Осуществляется на уровне библиотеки, написанной на языке «Си». Компиляции в Xilinx SDK для микропроцессора MicroBlaze.
Поддержка	
Обеспечивается SET www.setdsp.ru/support	

Обзор

Структурная схема IP-ядра «FMC контроллер» представлена на изображенной ниже функциональной блок-схеме. В соответствии со схемой IP-ядро «FMC контроллер» состоит из нескольких, связанных друг с другом функциональных блоков.

Блок подключения к AXI4 шине «AXI Decoder» обеспечивает взаимодействие IP-ядра с AXI4 структурами. Через этот блок осуществляется доступ к значениям регистров блока регистров «Register Unit».

Блок регистров (Register Unit) реализует регистры управления и статуса работы IP-ядра, включающие в себя регистры блоков контроля различных типов микросхем FPGA модуля.

Блок контроля CPLD «CPLD Control Unit» FMC модуля служит для объединения различных компонентов управления, состав которых определяется наличием конкретных микросхем на FMC модуле. При обращении к компонентам блока контроля CPLD обеспечивается доступ к физическому интерфейсу управления модулем FMC.

На всех FMC модулях существует микросхема синтезатора частот PLL, управление которым осуществляется используя блок контроля PLL «PLL Control Unit».

На некоторых FMC модулях устанавливаются микросхемы мультиплексоров частот, для управления которыми используется блок контроля мультиплексора «MUX Control Unit».

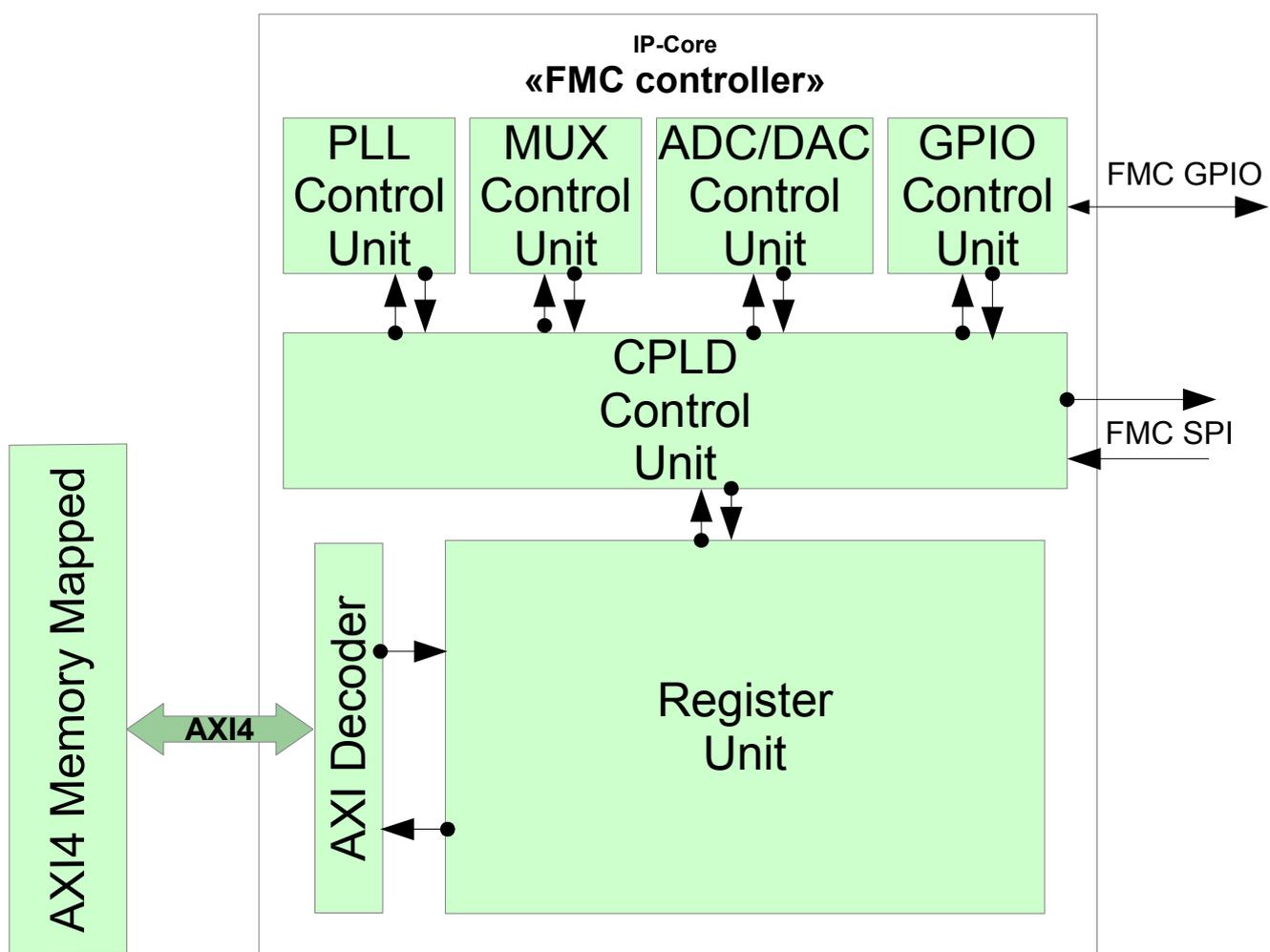
Для управления устанавливаемыми на FMC модуль микросхемами ЦАП и/или АЦП используются блоки контроля АЦП «ADC Control Unit» и ЦАП «DAC Control Unit». Эти блоки реализуют различные последовательные протоколы управления в соответствии со спецификациями применяемых микросхем.

На некоторых FMC модулях устанавливаются микросхемы портов ввода/вывода, для управления этими портами используется блок контроля ввода/вывода «GPIO Control Unit».

Интерфейс подключения IP-ядра «FMC контроллер» к AXI4 структурам соответствует AMBA (Advanced Microcontroller Bus Architecture) совместимым AXI4 спецификациям.

Более подробно с описанием IP-ядра «FMC контроллер» можно ознакомиться в документе [1].

Функциональная блок-схема



Основные особенности

IP-ядро «FMC контроллер» входит в состав различных инфраструктур IP-ядер, отвечающих за поддержку работы FMC модулей производства ЗАО «Скан Инжиниринг Телеком» или может использоваться самостоятельно в составе подобных структур пользователя. Примером инфраструктур IP-ядер поддержки FMC модулей может выступать «Поддержка submodule SFM-2A1000-2D1000» (см. документ [2]).

К особенностям IP-ядра «FMC контроллер» можно отнести:

- при минимальных ресурсах FPGA обеспечивается максимальная скорость управления FMC модулями, кроме того затрачиваются минимальные временные ресурсы ядра MicroBlaze;
- все необходимые настройки проекта уже выполнены (физические выводы FPGA и временные констрейны), что значительно снижает время интеграции дополнительных элементов;
- интерфейс подключения IP-ядра «FMC контроллер» соответствует AMBA совместимым AXI4 спецификациям.

Таблица 1: Список FMC модулей, поддерживаемых IP-ядром «FMC контроллер»

Название FMC модуля	Тип модуля
SFM-1A5000	ADC
SFM-4D1000	DAC, IO
SFM-2A1000-2D1000	ADC, DAC, IO
SFM-2A250-2D1000	ADC, DAC, IO

Таблица 2: Требуемые ресурсы для IP-ядра «FMC контроллер» SFM-4D1000

Семейство FPGA	Slices	Registers	LUTs	Block RAM
Virtex-6	116	361	307	0
Virtex-7	129	355	280	0

Ограничения

В связи с особенностью построения управлением микросхем FMC модуля на базе его CPLD, допускается осуществлять работу только с одной микросхемой модуля FMC в каждый конкретный момент времени.

Лицензирование и информация для заказа

По вопросам приобретения и использования IP-ядра «FMC контроллер» обращайтесь в отдел продаж компании ЗАО «Скан Инжиниринг Телеком» по адресу sales@setdsp.ru.

Ссылки

1. IP-ядро «FMC контроллер». Руководство пользователя. [UG-IP-FMC-CONT](#).
2. Инфраструктура IP-ядер «Поддержка submodule SFM-2A1000-2D1000». Техническое описание. [DS-IP-IS-SFM-2A1000-2D1000](#).

Контактная информация



ЗАО «Скан Инжиниринг Телеком», Россия, 394030, г. Воронеж, ул. Свободы, 75
Тел.: +7 (473) 272-71-01, факс.: +7 (473) 251-21-99
www.setdsp.ru

Электронная почта:

Отдел продаж: sales@setdsp.ru
Техническая поддержка: support@setdsp.ru

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2015
Документ DS-IP-FMC-CONT 1.0 (27 мая 2015 г.) создан в ООО «Скан Инжиниринг Телеком - СПб». Все права защищены. © 2015