

SVP-721

Модуль цифровой обработки данных на базе FPGA
Xilinx Virtex-7 с поддержкой 2-х FMC
форм-фактора VPX 6U



Основные особенности

- Высокопроизводительная FPGA Xilinx Virtex-7 из ряда XC7VX330/485/690T
- Два 16-ти разрядных банка динамического RAM DDR3 SDRAM объёмом до 512 Мбайт каждый в исполнении с FPGA XC7VX690T
- Модуль форм-фактора VPX 6U, соответствующий стандартам: ANSI/VITA 46.0-2013 (воздушное охлаждение), ANSI/VITA 46.3-2012, ANSI/VITA 46.4-2012, ANSI/VITA 46.6-2013 и ANSI/VITA 65-2010 (R2012)
- Установка двух submodule FMC в соответствии со стандартом ANSI/VITA 57.1-2010 FPGA Mezzanine Card (FMC) Standard с поддержкой HPC интерфейса, включая 8 дуплексных линий MGT
- Поддержка системных интерфейсов: PCI Express / Serial RapidIO / XAUI, Gigabit Ethernet (отдельно приобретаемые IP-ядра)
- Поддержка интерфейсов Serial RapidIO / XAUI / Aurora, Gigabit Ethernet для модулей тыльного расширения через разъёмы VPX P3, P5
- Два 16-ти разрядных буферизованных цифровых порта
- Исполнение с воздушным охлаждением

Обзор модуля

Особенности

Модуль SVP-721 разработан на базе высокопроизводительной серии FPGA Xilinx Virtex-7 и сочетает в себе широкие интерфейсные возможности и большой объём встроенной скоростной памяти. Реализованная поддержка установки двух субмодулей FMC HPC стандарта ANSI/VITA 57.1-2010 FPGA Mezzanine Card (FMC) Standard позволяет гибко организовать ввод/вывод необходимых пользователю сигналов, включая аналоговые (с использованием субмодулей АЦП/ЦАП), оптические и цифровые.

Модуль SVP-721 открывает новые возможности для приложений, требующих предельно высокую производительность цифровой обработки данных в реальном времени: фильтрации, спектральных преобразований, корреляционной обработки, кодирования/декодирования, работы с пакетами и т. д. Пиковая производительность обработки на целочисленных операциях умножить-аккумулировать достигает 2000 млрд./с (операнды 25 × 18 бит, аккумулятор 48 бит).

Производительность

Модулем поддерживается широкий ряд интерфейсных стандартов VPX: PCI Express вплоть до 3.0 (за исключением VX485T), Serial RapidIO, XAUI и Gigabit Ethernet, которые, в зависимости от типа коммутаторов и объединительных плат, могут сочетаться между собой в различных комбинациях (реализация интерфейсов осуществляется с помощью IP-ядер, приобретаемых дополнительно).

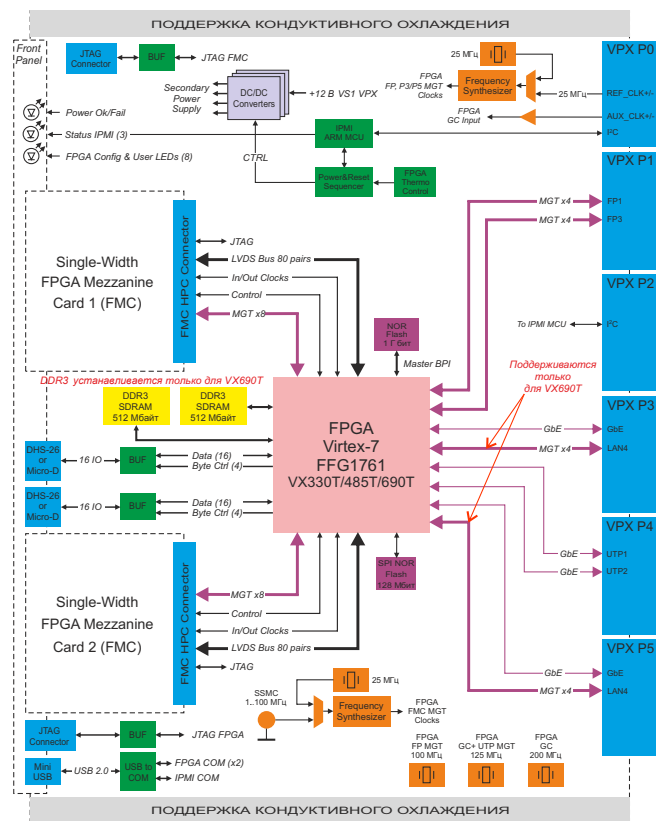
Модуль поддерживает установку ряда модулей тыльного расширения, например, с двумя DSP C6678 (SVR-420), либо оптического 8-ми канального 10 Gigabit Ethernet, с возможностью интерфейсного обмена по двум четверкам MGT с суммарной пропускной способностью до 80 Гбит/с и поддержкой интерфейсов Serial RapidIO, XAUI, Aurora (только в случае установки FPGA VX690T). Реализована поддержка для тыльного модуля двух каналов Gigabit Ethernet и служебного канала I²C.

Пропускная способность интерфейса FPGA модуля с каждым субмодулем FMC достигает 80 Гбит/с через шины LVDS и 80 Гбит/с на приём/передачу через каналы MGT Virtex-7 (8 полнодуплексных линий по 10 Гбит/с). Обеспечена поддержка широкой номенклатуры стандартизованных субмодулей FMC производства ЗАО «Скан Инжиниринг Телеком» и сторонних производителей.

Области применения

Поддержка модулем ряда системных функций OpenVPX: тактирование и синхронизация через объединительную плату, географическая адресация и т. д., значительно облегчает интеграцию модуля во вновь создаваемые и существующие системы VPX для телекоммуникационных, промышленных и военных применений.

Функциональная блок-схема



Технические характеристики

Программируемая логика

Особенности FPGA Xilinx Virtex-7 из ряда XC7VX330/485/690T:

- свыше 108 тыс. ячеек Virtex-7 Slice (XC7VX690T);
- до 3600 блоков Virtex-7 DSP48E (XC7VX690T);
- до 1470 блоков RAM Xilinx BlockRAM по 36 кбит;
- до 20 блоков тактирования CMT;
- количество аппаратных ядер:
 - XC7VX330T — два ядра PCI Express 1.0, 2.0, 3.0 x1/x2/x4;
 - XC7VX690T — три ядра PCI Express 1.0, 2.0 x1/x2/x4;
 - XC7VX485T — четыре ядра PCI Express 1.0, 2.0 x1/x2/x4.

Память

Два независимых банка DDR3 SDRAM с объёмом каждого до 512 Мбайт (32M × 16) и быстродействием DDR-800

Пользовательская память SPI NOR Flash 16 Мбайт

Конфигурационная память 16 бит NOR Flash 128 Мбайт со скоростью загрузки данных в FPGA до 160 Мбайт/с и поддержкой хранения до 4-х файлов конфигурации

Тактирование

Опорные кварцевые генераторы:

- 100 МГц (MGT интерфейсов FatPipe 1, FatPipe 3 разъёма VPX);
- 125 МГц (MGT интерфейсов Gigabit Ethernet + глобальный такт FPGA);
- 200 МГц (глобальный такт FPGA).

Синтезатор частоты тактирования MGT интерфейсов разъёма VPX P3, P5, FatPipe 1, FatPipe 3 VPX с возможностью синхронизации сигналом REF_CLK VPX с умножением его на 4

Синтезатор частоты тактирования MGT интерфейсов FMC

Приём сигнала AUX_CLK VPX на FPGA

Системные функции

Поддержка географической адресации (GA0–GA4)

Обработка сигнала системного сброса VPX SYSRESET#

Встроенный контроль напряжений и тока потребления

Встроенный температурный контроль

Соответствие стандартам

ANSI/VITA 46.0-2013 VPX Base Standard

ANSI/VITA 46.3-2012 Serial RapidIO on VPX Fabric Connector

ANSI/VITA 46.4-2012 PCI Express on the VPX Fabric Connector

ANSI/VITA 46.6-2013 Gigabit Ethernet Control Plane on VPX

ANSI/VITA 57.1-2010 FPGA Mezzanine Card (FMC) Standard

ANSI/VITA 65-2010 (R2012) OpenVPX System Standard

Разъём FMC

Поддержка установки двух submodule FMC одиночной ширины (Single Width) в конструктиве с воздушным охлаждением с задействованием областей 1–3

Стыковочная высота FMC 10 мм

Интерфейс каждого submodule FMC HPC:

- 80 пар LVDS, пропускная способность до 80 Гбит/с;
- подключение сигналов * _CC ко входам CC FPGA;
- поддержка четырех линий глобального тактирования LVDS;
- 8 дуплексных мультигибитных пар DP0–DP7 с двусторонней пропускной способностью до 50 Гбит/с;
- две линии тактирования MGT FPGA с разъёма FMC.

Поддержка JTAG 3,3 В с автоматической коммутацией канала

Поддержка сигналов I²C (IPMI FMC), PRSNT, PowerGood

Соответствие стандарту ANSI/VITA 57.1-2010 FPGA Mezzanine Card (FMC) Standard по требованиям к питающим напряжениям и токам нагрузки submodule FMC

Уровень напряжения по линиям VADJ/VIO_B_M2C +1,8 В

Внешние и отладочные интерфейсы

Отладочные COM-порты FPGA с реализацией через интерфейс USB 2.0 на передней панели

Буферизованный JTAG IEEE 1149.1 FPGA на передней панели

Внутренний буферизованный порт JTAG IEEE 1149.1 для FMC

Два буферизованных 16-ти разрядных цифровых порта передней панели с побайтным управлением

Разъёмы VPX

Разъём P0:

- сигналы тактирования REF_CLK;
- сигналы тактирования AUX_CLK;
- сигналы I²C.

Разъём P1:

- порты FatPipe1 и 3 могут быть сконфигурированы одним из следующих вариантов:
 - два канала PCI Express 1.0/2.0/3.0 x4 (аппаратные ядра PCI Express 3.0 Xilinx только для XC7VX330/690T);
 - SRIO x4 до 3,125 Гбит/с (программное IP-ядро Xilinx, приобретается отдельно);
 - XAUI.

Разъём P2:

- сигналы I²C для IPMI ARM MCU.

Разъём P3:

- канал MGT x4 через LAN4 может быть сконфигурированы одним из следующих вариантов:
 - канала Serial RapidIO x4 до 3,125 Гбит/с (только для XC7VX330/690T);
 - Aurora (только для XC7VX330/690T).
- канал Gigabit Ethernet через разъёмы GbE поддержки модуля тыльного расширения.

Разъём P4:

- Два канала Gigabit Ethernet через порты Ultra-TP1, 2 (IP-ядро Gigabit Ethernet приобретается отдельно).

Разъём P5:

- канал MGT x4 через LAN4 может быть сконфигурированы одним из следующих вариантов:
 - канала Serial RapidIO x4 до 3,125 Гбит/с (только для XC7VX330/690T);
 - Aurora (только для XC7VX330/690T).
- канал Gigabit Ethernet через разъёмы GbE поддержки модуля тыльного расширения.

Энергопотребление

Потребляемая мощность модуля обработки данных: от 50 до 80 Вт

Распределение потребляемой мощности по линии питания:

- +12 В (VS1): до 4,2 А (50 Вт) (при полной нагрузке, без учета FMC);
- +12 В (VS1): до 6,7 А (80 Вт) (при полной нагрузке, с двумя FMC submodule).

Условия эксплуатации

Охлаждение: воздушное

Диапазон рабочих температур: коммерческий (0...+50 °C) или промышленный (–40...+85 °C)

Температура хранения: –50...+85 °C

Влажность: до 85 % без влагозащитного покрытия, до 98 % с покрытием

Возможность нанесения влагозащитного покрытия для жёстких условий

Размеры

Форм-фактор: VPX 6U в слот 1"

Размеры: 160 × 233 × 25,06 мм

Информация для заказа

Модуль с поддержкой двух субмодулей FMC HPC, двумя буферизованными 16-ти разрядными портами на внутренних разъёмах EHF с защёлками, сервисной FPGA XC6VLX75T с передней планкой VPX 1" с воздушным охлаждением. Программное обеспечение поддержки модуля, а также отладочные кабели в комплект поставки не входят, их приобретение оговаривается отдельно.

Возможна поставка модуля в другом температурном диапазоне по согласованию.



I Основная FPGA Xilinx

Virtex-7

FM330T1: XC7VX330T-1	FM690T1: XC7VX690T-1
FM330T2: XC7VX330T-2	FM690T2: XC7VX690T-2
FM485T1: XC7VX485T-1	
FM485T2: XC7VX485T-2	

II Объём установленной памяти FPGA

Опции RFM2x16Mx16/800 и RFM2x32Mx16/800 доступна при выборе опции FM690T1 и FM690T2.

RFM2x16Mx16/800: 512 Мбайт в двух 16-ти разрядных банках
RFM2x32Mx16/800: 1 Гбайт в двух 16-ти разрядных банках

III Передняя панель

FP2: Установлена стандартная передняя панель FMC
FPN: Заказная передняя панель, тип устанавливаемого субмодуля оговаривается при заказе дополнительно

IV Вывод буферизованных цифровых портов

B0: Вывод цифровых портов на переднюю панель не производится
BIO2: Установлен буфер и разъём цифрового порта (LPC, HPC)
BDHS0: Разъёмы DHS (DHS-26M), 26 выводов, винт
BMD: Разъёмы Micro-D (Molex 83614-9016), 25 выводов, винт

V Установка входа внешней синхронизации через разъём SSMC передней панели

Опция TR1 не доступна при выборе опции BIO2.

TR0: Вход внешней синхронизации отсутствует
TR1: Вход внешней синхронизации предустановлен

VI Исполнение (температурный диапазон)

T0: Коммерческое (0...+50 °C)
T1: Индустриальное (-40...+85 °C)

VII Покрытие

CV0: Без влагозащитного покрытия
CV1: С влагозащитным покрытием

VIII Охлаждение

CL0: Воздушное
CL1: Кондуктивное

Пример кода изделия: **SVP-721-FM690T2-RFM2x32Mx16/800-FP2-BDHS0-TR1-T1-CV1-CL1**

SVP-721 — Модуль цифровой обработки данных на базе FPGA Xilinx Virtex-7 с поддержкой 2-х FMC форм-фактора VPX 6U
Основная FPGA Xilinx: XC7VX690T-2

Объём установленной памяти FPGA: 1 Гбайт в двух 16-ти разрядных банках

Передняя панель: Установлена стандартная передняя панель FMC

Вывод буферизованных цифровых портов: Разъёмы DHS (DHS-26M), 26 выводов, винт

Установка входа внешней синхронизации через разъём SSMC передней панели: Вход внешней синхронизации предустановлен

Исполнение (температурный диапазон): Индустриальное (-40...+85 °C)

Покрытие: С влагозащитным покрытием

Охлаждение: Кондуктивное

Возможны другие конфигурации модуля по индивидуальному запросу. За дополнительной информацией обращайтесь в SET.

Контактная информация



ЗАО «Скан Инжиниринг Телеком»
Россия, 394030, г. Воронеж, ул. Свободы, 75
Тел.: +7 (473) 272-71-01, факс.: +7 (473) 251-21-99
www.setdsp.ru

Электронная почта:
Отдел продаж: sales@setdsp.ru

ООО «Скан Инжиниринг Телеком - СПб»
Россия, 199106, г. Санкт-Петербург, 22-я линия В.О., д. 3, корп. 1, лит. М.
Тел.: +7 (812) 406-99-95, +7 (812) 406-99-96
www.setdsp.ru

Электронная почта:
Отдел продаж: sales.spb@setdsp.ru

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2018
Документ DS-SVP-721 1.1 создан в ООО «Скан Инжиниринг Телеком - СПб». Все права защищены. © 2018